

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-332582

(43)Date of publication of application : 30.11.2001

(51)Int.Cl. H01L 21/60

(21)Application number : 2000-148245 (71)Applicant : SONY CORP

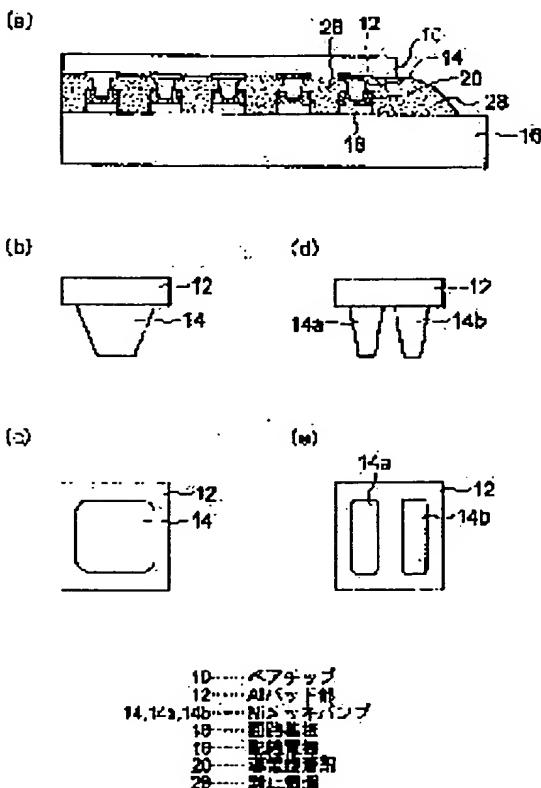
(22)Date of filing : 19.05.2000 (72)Inventor : NAKAYAMA  
YOSHINORI(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING  
THE SAME

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device of a circuit board flip-chip-mounted with a semiconductor chip and method of manufacturing the same, wherein a repair work or reworking is possible for the chip and even a bare chip for area wiring of a fine pitch can be flip-chip-mounted.

**SOLUTION:** Ni plating bumps 14 are formed on Al pad sections 12 on the surface of a bare chip 10, and an Ag- or AgPa-based conductive adhesive 20 is printed on wiring electrodes 18 on the surface of a circuit board 16. The bare chip 10 is placed facedown on the circuit board 16, with the leading edges of the Ni plating bumps

14 of the bare chip 10 inserted into an upper face of the cured conductive adhesive 20 on the wiring electrodes 18 on the circuit board 16, that is, the Al pad sections 12 on the surface of the bare chip 10 and the wiring electrodes 18 on the surface of the circuit board 16 are electrically



BEST AVAILABLE COPY

connected through the Ni plating bumps 14 and the conductive adhesive 20.

---

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The semiconductor device characterized by connecting the electroconductive glue printed on the polar zone of said circuit board with the plating bump by whom a semiconductor chip is the semiconductor device by which flip chip mounting was carried out, and was formed on the pad section of said semiconductor chip on the circuit board.

[Claim 2] The semiconductor device characterized by dividing plurality and forming said plating bump on the same pad section of said semiconductor chip in a semiconductor device according to claim 1.

[Claim 3] The manufacture approach of the semiconductor device characterized by to have the process which is the manufacture approach of the semiconductor device which carries out flip chip mounting of the semiconductor chip on the circuit board, and forms a bump on the pad section of said semiconductor chip, the process which prints electroconductive glue on the polar zone of said circuit board, and the process which makes said semiconductor chip a face down, lays on said circuit board, and connect said bump on the pad section of said semiconductor chip, and the electroconductive glue on the polar zone of said circuit board.

[Claim 4] The manufacture approach of the semiconductor device characterized by using plating and forming a plating bump on the pad section of said semiconductor chip in the manufacture approach of a semiconductor device according to claim 3 in case said bump is formed on the pad section of said semiconductor chip.

[Claim 5] The manufacture approach of the semiconductor device characterized by dividing and forming said bump on the same pad section of said semiconductor chip in the manufacture approach of a semiconductor device according to claim 3 at plurality in case said bump is formed on the pad section of said semiconductor chip.

[Claim 6] The manufacture approach of the semiconductor device characterized by controlling the temperature and humidity of said electroconductive glue in the manufacture approach of a semiconductor device according to claim 3 in case said electroconductive glue is printed on the polar zone of said circuit board.

[Claim 7] The manufacture approach of the semiconductor device characterized by making a touch area with said polar zone of said electroconductive glue smaller than the area of said polar zone, and making area of the top face of said electroconductive glue smaller than a touch area with said polar zone in the manufacture approach of a semiconductor device according to claim 3 in case said electroconductive glue is printed on the polar zone of said circuit board.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

- [Drawing 1] (a) The perspective view of the electrode for cells of this invention before processing it  
(b) The perspective view showing signs that it was processed by bending in active material the non-filled up section of the foaming metal core material of the electrode material for cells  
(c) The perspective view showing the electrode configuration where this invention was processed
- [Drawing 2] Drawing showing the tensile strength to the electrode longitudinal direction of the electrode for cells of this invention
- [Description of Notations]
- 1 Electrode
  - 2 Active Material Restoration Section
  - 3 Active Material Non-Filled Up Section
  - 4 Borderline of Active Material Restoration Section and Non-Filled Up Section
  - 5 Electrode Core Material Bending Section
  - 6 High Density Metal Section
  - 7 Straight Line Which Shows Bending Location

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

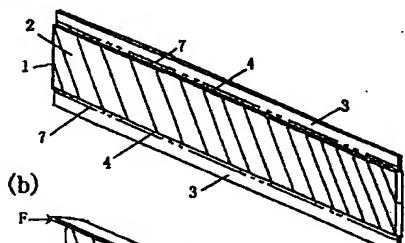
---

DRAWINGS

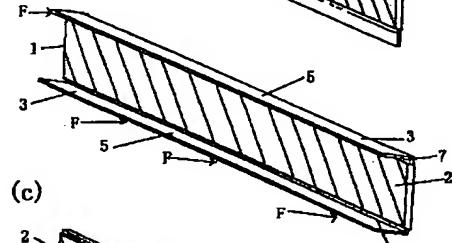
---

## [Drawing 1]

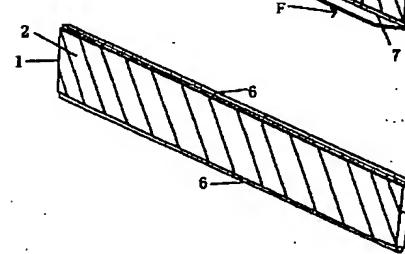
(a)



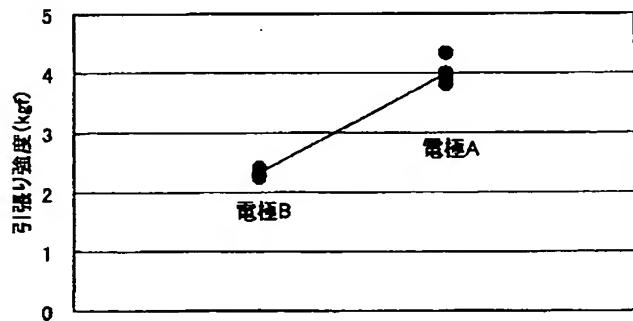
(b)



(c)

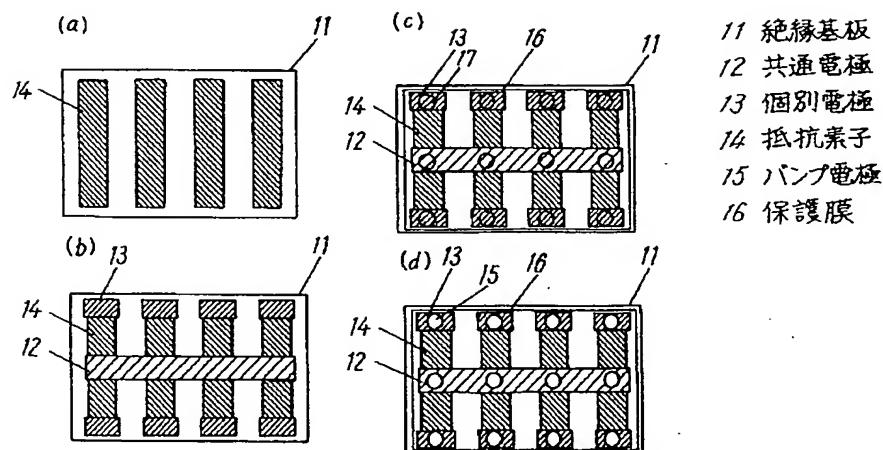


## [Drawing 2]

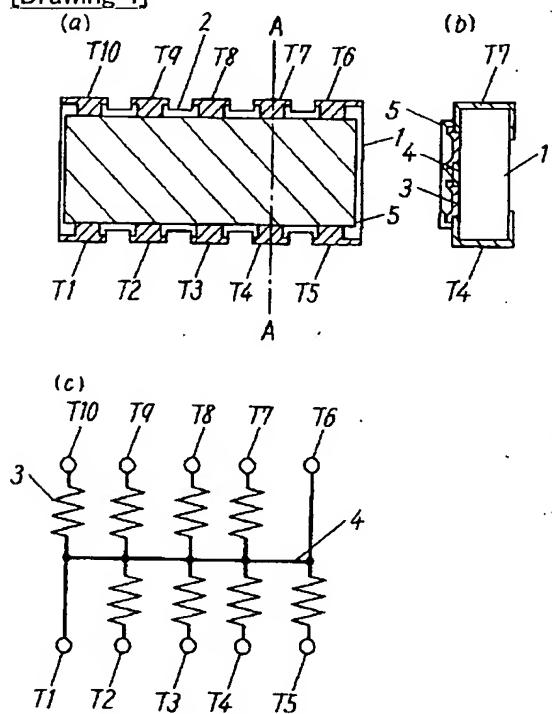


---

[Translation done.]



[Drawing 4]



[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-332582  
(P2001-332582A)

(43) 公開日 平成13年11月30日 (2001.11.30)

(51) Int.Cl.<sup>7</sup>  
H 01 L 21/60

識別記号  
3 1 1

F I  
H 01 L 21/60  
21/92

テマコード (参考)  
3 1 1 S 5 F 0 4 4  
3 1 1 Q  
6 0 2 C  
6 0 4 B

審査請求 未請求 請求項の数 7 O.L. (全 14 頁)

(21) 出願番号 特願2000-148245 (P2000-148245)

(22) 出願日 平成12年5月19日 (2000.5.19)

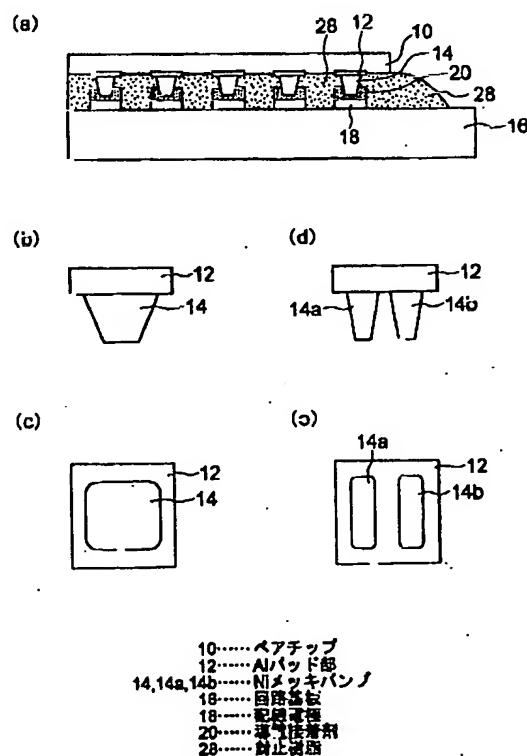
(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72) 発明者 中山 義則  
千葉県木更津市潮見8丁目4番地 ソニー  
木更津株式会社内  
F ターム (参考) 5F044 LL07 QQ02 QQ04

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体チップを回路基板上にフリップチップ実装した半導体装置及びその製造方法において、リペアやリワークが可能であると共に、ファインピッチ化されたエリア配線のペアチップであってもフリップチップ実装することが可能な半導体装置及びその製造方法を提供することを目的とする。

【解決手段】 ペアチップ10表面のA1パッド部12上にNiメッキバンプ14が形成され、回路基板16表面の配線電極18上にAg系やAgPa系の導電接着剤20が印刷されている。そして、ペアチップ10がフェースダウンで回路基板16上に載置され、ペアチップ10のNiメッキバンプ14の先端部が回路基板16表面の配線電極18上の硬化された導電接着剤20上面に挿入されている。即ち、ペアチップ10表面のA1パッド部12と回路基板16表面の配線電極18とがNiメッキバンプ14及び導電接着剤20を介して電気的に接続されている。



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-332582

(P2001-332582A)

(43) 公開日 平成13年11月30日 (2001.11.30)

(51) Int.Cl.<sup>7</sup>  
H 01 L 21/60

識別記号  
3 1 1

F I  
H 01 L 21/60  
21/92

テマコト<sup>8</sup> (参考)  
3 1 1 S 5 F 0 4 4  
3 1 1 Q  
6 0 2 C  
6 0 4 B

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願2000-148245 (P2000-148245)

(22) 出願日 平成12年5月19日 (2000.5.19)

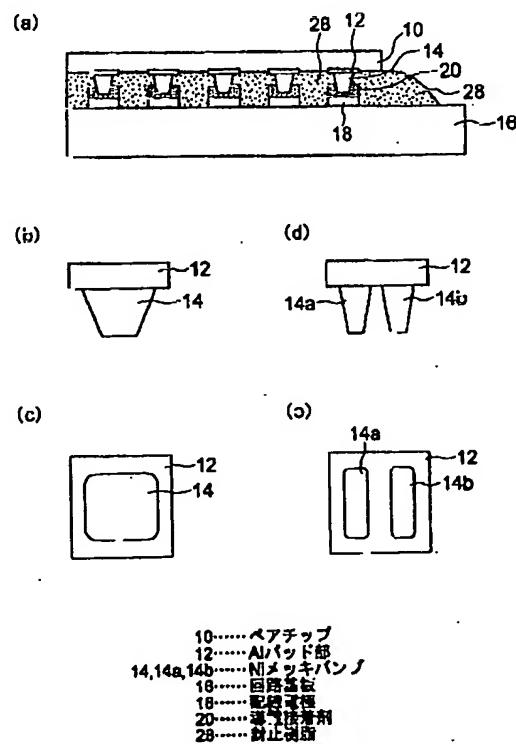
(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72) 発明者 中山 義則  
千葉県木更津市潮見8丁目4番地 ソニー  
木更津株式会社内  
F ターム (参考) 5F044 LL07 QQ02 QQ04

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体チップを回路基板上にフリップチップ実装した半導体装置及びその製造方法において、リペアやリワークが可能であると共に、ファインピッチ化されたエリア配線のペアチップであってもフリップチップ実装することが可能な半導体装置及びその製造方法を提供することを目的とする。

【解決手段】 ペアチップ10表面のA1パッド部12上にNiメッキバンプ14が形成され、回路基板16表面の配線電極18上にAg系やAgPd系の導電接着剤20が印刷されている。そして、ペアチップ10がフェースダウンで回路基板16上に載置され、ペアチップ10のNiメッキバンプ14の先端部が回路基板16表面の配線電極18上の硬化された導電接着剤20上面に挿入されている。即ち、ペアチップ10表面のA1パッド部12と回路基板16表面の配線電極18とがNiメッキバンプ14及び導電接着剤20を介して電気的に接続されている。



【特許請求の範囲】

【請求項1】 半導体チップが回路基板上にフリップチップ実装された半導体装置であって、前記半導体チップのパッド部上に形成されたメッキバンプと前記回路基板の電極部上に印刷された導電性接着剤とが接続されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記メッキバンプが、前記半導体チップの同一のパッド部上に複数個の分割されて形成されていることを特徴とする半導体装置。

【請求項3】 半導体チップを回路基板上にフリップチップ実装する半導体装置の製造方法であって、前記半導体チップのパッド部上に、バンプを形成する工程と、前記回路基板の電極部上に、導電性接着剤を印刷する工程と、前記半導体チップをフェースダウンにして前記回路基板上に載置し、前記半導体チップのパッド部上の前記バンプと前記回路基板の電極部上の導電性接着剤とを接続する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法において、前記半導体チップのパッド部上に前記バンプを形成する際に、前記半導体チップのパッド部上に、メッキ法を用いてメッキバンプを形成することを特徴とする半導体装置の製造方法。

【請求項5】 請求項3記載の半導体装置の製造方法において、前記半導体チップのパッド部上に前記バンプを形成する際に、前記半導体チップの同一のパッド部上に、前記バンプを複数個に分割して形成することを特徴とする半導体装置の製造方法。

【請求項6】 請求項3記載の半導体装置の製造方法において、前記回路基板の電極部上に前記導電性接着剤を印刷する際に、前記導電性接着剤の温度及び湿度をコントロールすることを特徴とする半導体装置の製造方法。

【請求項7】 請求項3記載の半導体装置の製造方法において、前記回路基板の電極部上に前記導電性接着剤を印刷する際に、前記導電性接着剤の前記電極部との接触面積を前記電極部の面積よりも小さくし、前記導電性接着剤の上面の面積を前記電極部との接触面積よりも小さくすることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法に係り、特に半導体チップを回路基板上にフリップチップ実装した半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 従来の半導体チップを回路基板上にフリップチップ実装する方法としては、例えば ACF (Anisotropic Conductive Film ; 異方性導電膜) や ESC (Epoxyencapsulated Solder Connection) を用いた圧接工法などがある。また、この他にも、例えば C4 (Controlled Collapsed Chip Connection) プロセスや SBB (Stud-Bump Bonding) プロセスなどが提案されている。

【0003】 従来の ACF や ESC 等を用いた圧接工法においては、一般に、回路基板の投入後、一般電子部品の実装、異形電子部品の実装、樹脂モールド等を行っていない半導体チップであるペアチップのフリップチップ実装を所定の順序で行う。

【0004】 また、従来の C4 プロセスにおいては、ペアチップ表面のパッド部上にハンダバンプを形成し、このハンダバンプにフラックスなどを転写した後、フェースダウンにしたペアチップ表面のパッド部をハンダバンプを介して回路基板表面の配線用電極に接合し、一括りフロー方式により接続させ装着する。続いて、フラックス洗浄を行った後、回路基板とペアチップとの間に封止用樹脂を注入し、更にこの注入した封止用樹脂を硬化させる。こうして、回路基板上にハンダバンプを介してペアチップをフリップチップ実装する。

【0005】 そして、このような C4 プロセスにおいて、封止用樹脂を硬化させるまでは、回路基板上にペアチップを装着した後の電気検査によってペアチップの特性不良や実装の際の不良が判明した場合に、装着したペアチップを外して、リペアやリワークを行うことが可能である。

【0006】 また、従来の SBB プロセスにおいては、ペアチップ表面のパッド部上に、ワイヤボンディング技術を用いて、2段突起形状を有するスタッダードバンプを形成し、このスタッダードバンプ上に導電性接着剤を転写した後、フェースダウンにしたペアチップ表面のパッド部上のスタッダードバンプを導電性接着剤を介して回路基板表面の配線用電極とを接続させ装着する。続いて、回路基板とペアチップとの間に封止用樹脂を注入し、更にこの注入した封止用樹脂を硬化させる。こうして、回路基板上に導電性接着剤を転写したスタッダードバンプを介してペアチップをフリップチップ実装する。

【0007】 そして、このような SBB プロセスにおいても、封止用樹脂を硬化させるまでは、回路基板上にペアチップを装着した後の電気検査によってペアチップの特性不良や実装の際の不良が判明した場合に、装着したペアチップを外して、リペアやリワークを行うことが可能である。

【0008】

【発明が解決しようとする課題】 しかし、上記従来の A

CFやESC等を用いた圧接工法においては、一般電子部品や異形電子部品などのSMT (Surface Mount Technology) 部品の実装とペアチップのフリップチップ実装とが二度手間になるというだけでなく、次のような問題も生じる。

【0009】即ち、ペアチップのフリップチップ実装よりも先に一般電子部品や異形電子部品などのSMT部品の実装を行う場合には、図12(a)に示されるような回路基板30上のペアチップの実装予定領域32を汚れやラックスや酸化などから保護するため、図12(b)に示されるように、例えば耐熱性のマスキングテープ34を被覆するなどして保護する必要がある。

【0010】このため、ペアチップの実装予定領域32を被覆する耐熱性のマスキングテープ34を貼る工程、この貼ったマスキングテープ34を剥がす工程などが必要となり、場合によってはマスキングテープ34を剥がした後に洗浄工程も更に必要となり、作業ロスを生じるという問題があった。また、この剥がしたマスキングテープ34は廃棄することになり、環境面からも好ましくないという問題もあった。

【0011】他方、一般電子部品や異形電子部品などのSMT部品の実装よりも先にペアチップのフリップチップ実装を行う場合には、SMT部品を装着するためのハンダ印刷の際に、特殊なスキージを用いたり、回路基板上に既に実装したペアチップを保護するための空間を備えた突起COB (Chip On Board) スクリーンマスクを用いたりして、先に実装したペアチップの装着部を保護する工夫をしなければならない。

【0012】例えば図13に示されるように、回路基板30上に先に装着したペアチップ36を保護するために突起COBスクリーンマスク38を用いてSMT部品を装着するためのハンダ印刷を行う場合には、突起COBスクリーンマスク38の突起部の周囲の幅1mm程度の領域は、突起COBスクリーンマスク38に開口部40を設けることができない領域、即ちハンダ印刷が不可能なデッドスペース領域42となる。

【0013】このため、この印刷不可能なデッドスペース領域42がある分だけ、ペアチップ36の近傍にSMT部品を実装することが困難になり、折角のペアチップのフリップチップ実装による高密度実装のメリットが低減されてしまうという問題があった。

【0014】また、ACFやESCなどの圧接工法においては、回路基板上に電子部品を一度装着してしまうと、装着したペアチップを外してリペアしたりリワークしたりすることが極めて困難であることから、KGD (Known Good Die; 品質保証されたペアチップ) の確立が遅れている状況では、一般的には最初にペアチップを実装し、早い段階からNG (No Good; 不良) 品をはじいたり、捨てたりするなどの方法が採られている。このため、コストの上昇を招くという問題があった。

【0015】また、KGDを使用する場合であっても、生産現場レベルでは工程不良はある程度やむを得ず発生してしまうため、電子部品の装着後のリペアやリワークが可能になる工法に対しては、生産現場サイドからの高いニーズがあった。そして、リペアやリワークが可能なフリップチップ実装法として、C4プロセスやSBBプロセスなどが提案されている。

【0016】しかし、上記従来のC4プロセスにおいては、ペアチップをハンダバンプを介して回路基板上にフリップチップ実装する場合に、ペアチップ表面のパッド部上にハンダバンプを形成し、このハンダバンプ上にラックスなどを転写し、一括リフローする方式を用いるため、ハンダバンプを形成する際のバンプピッチの制約からパッド部の微細ピッチ化に限界が生じる。逆にいえば、半導体プロセスのファインピッチ化が進む中で、パッドピッチが100μmを切って微細ピッチ化されると、このC4プロセスの方式を実際の製造プロセスに適用して実施することは困難になる。

【0017】また、通常は洗浄工程が必要となるためコストが高くなると共に、環境面にも好ましくない。また、ハンダバンプの材料としては、主にPb(鉛)/Sn(スズ)系のハンダを用いているため、今後の環境保護の観点からはPbフリーの対策を施したバンプの開発が要求されている。更に、Pbフリーにした場合、Pbレスハンダを用いると、例えばキュア温度が従来の210°Cから250°Cに高温化してしまう組成のものが多い。そして、現状においては、これらの問題を全て解決するC4プロセスを実現することは困難である。

【0018】また、上記従来のSBBプロセスにおいては、ペアチップ表面のパッド部上にワイヤボンディング技術を用いてスタッドバンプを形成する際に、パッド部には超音波・加重・熱などによるストレスが発生する。このため、周辺部のみにパッド部が形成されているペアチップの場合はともかく、周辺部のみならず内部にもパッド部が形成されているエリア配線のペアチップの場合には、パッド部直下に形成されているトランジスタ等の素子や配線にダメージを与え、チップ内回路を破壊する恐れが生じる。

【0019】従って、今後の半導体装置の高集積化、高密度化、及びその半導体プロセスのファイン化に伴ってその重要性を増してくるエリア配線のペアチップに対しては、このようなパッド部直下に形成されているトランジスタ等の素子や配線にダメージを与え、チップ内回路を破壊する恐れのあるSBBプロセスを用いることは困難である。

【0020】また、パッド部上に形成したスタッドバンプ上に導電性接着剤を転写しているが、通常の導電接着剤は空気中に曝した後における品質劣化が顕著であり、コストも高い。そのため、少量の導電性接着剤を容器から出してスタッドバンプ上のみに転写しているが、その

際の導電性接着剤の品質管理が大変である。また、この方式では、スタッドバンプ上に導電性接着剤を転写した後、残った導電性接着剤は捨ててしまうことになるため、コスト的に好ましくない。

【0021】そこで本発明は、上記問題点を鑑みてなされたものであり、半導体チップを回路基板上にフリップチップ実装した半導体装置及びその製造方法において、リペアやリワークが可能であると共に、ファインピッチ化されたエリア配線のペアチップであってもフリップチップ実装することが可能な半導体装置及びその製造方法を提供することを目的とする。

#### 【0022】

【課題を解決するための手段】上記課題は、以下に述べる本発明に係る半導体装置及びその製造方法によって達成される。即ち、請求項1に係る半導体装置は、半導体チップが回路基板上にフリップチップ実装された半導体装置であって、半導体チップのパッド部上に形成されたメッキバンプと回路基板の電極部上に印刷された導電性接着剤とが接続されていることを特徴とする。

【0023】このように請求項1に係る半導体装置においては、半導体チップのパッド部上に形成されたバンプがメッキバンプであることにより、従来の半導体チップのパッド部上にスタッドバンプが形成されている場合と比較すると、そのバンプ形成の際にパッド部に超音波・加重・熱などによるストレスが発生していないことから、半導体チップがエリア配線のペアチップであっても、パッド部直下に形成されているトランジスタ等の素子や配線がダメージを受けてチップ内回路が破壊される恐れがないため、高い信頼性の半導体装置が実現される。

【0024】また、半導体チップのパッド部上のメッキバンプと回路基板の電極部とを接続する媒体として、回路基板の電極部上に印刷された導電性接着剤が用いられていることにより、従来のハンダバンプを用いて半導体チップのパッド部と回路基板の電極部とを接続している場合と比較すると、ハンダバンプを形成する際のバンプピッチの制約から解放されてパッド部の微細ピッチ化が進展するため、高密度、高集積化された半導体チップが回路基板上にフリップチップ実装されている半導体装置、即ち高密度、高集積化の半導体装置が実現される。

【0025】また、請求項2に係る半導体装置は、上記請求項1に係る半導体装置において、メッキバンプが、半導体チップの同一のパッド部上に複数個の分割されて形成されていることを特徴とする。

【0026】このように請求項2に係る半導体装置においては、メッキバンプが同一パッド部上に複数個の分割されていることにより、同一パッド部上に複数個の分割されたメッキバンプと回路基板の電極部とが導電性接着剤を介して接続されることになるため、半導体チップと回路基板との線膨張係数の差異によりメッキバンプと回

路基板の電極部との接続部に熱ストレスによる応力が生じても、同一パッド部上に1個のメッキバンプしか形成されていない場合と比較すると、熱ストレスの影響が緩和される。即ち、熱ストレスにより接続部に生じる応力が分散され、低減される。従って、上記請求項1の作用に加え、高い信頼性の半導体装置が実現される。

【0027】なお、半導体チップの同一パッド部上のメッキバンプと回路基板の電極部との導電性接着剤を介しての接触面積は、複数個のメッキバンプに分割されている場合の方が、1個の大きなメッキバンプが形成されている場合よりも小さくなり、ダイシェアの低下が懸念されるが、半導体チップと回路基板との間に樹脂が注入され、樹脂封止が行われることにより、半導体チップの同一パッド部上の複数個の分割されたメッキバンプと回路基板の電極部との導電性接着剤を介した接続強度は十分な大きさに確保される。

【0028】また、請求項3に係る半導体装置の製造方法は、半導体チップを回路基板上にフリップチップ実装する半導体装置の製造方法であって、半導体チップのパッド部上に、バンプを形成する工程と、回路基板の電極部上に、導電性接着剤を印刷する工程と、半導体チップを回路基板上に載置して、半導体チップのパッド部上のバンプと回路基板の電極部上の導電性接着剤とを接続する工程と、を有することを特徴とする。

【0029】このように請求項3に係る半導体装置の製造方法においては、回路基板の電極部上に導電性接着剤を印刷し、この導電性接着剤と半導体チップのパッド部上に形成したバンプとを接続することにより、従来の半導体チップのパッド部上に形成したハンダバンプを用いて接続する場合と比較すると、一般に導電性接着剤はハンダよりも粒子が小さいことから、ファインピッチ印刷が可能となり、ハンダバンプを形成する際のバンプピッチの制約から解放されてパッド部の微細ピッチ化を可能とする半導体プロセスのファインプロセス化が促進されるため、高密度、高集積化された半導体チップを回路基板上にフリップチップ実装することが可能になり、半導体装置の高密度、高集積化が実現される。

【0030】また、半導体チップのパッド部上のバンプと回路基板の電極部上の導電性接着剤とを接続する際、バンプには殆ど加重が掛からないことから、パッド部に与えるダメージは極めて小さく、半導体チップがエリア配線のペアチップであっても、パッド部直下に形成されているトランジスタ等の素子や配線にダメージを与えてチップ内回路を破壊する恐れがないため、半導体チップを回路基板上にフリップチップ実装する際の、特に今後の半導体プロセスのファイン化に伴ってその重要性を増してくるエリア配線のペアチップをフリップチップ実装する際の信頼性が向上する。

【0031】また、ハンダバンプを用いる場合の諸問題、例えば洗浄工程を必要とすることに伴うコストの上

昇や、Pb使用による環境汚染の発生や、Pbレスハンダの使用の際のキュア温度の高温化やキュア時間の長時間化による半導体チップへの熱によるダメージの増大や、ファインプロセスへの対応困難などの問題が解消されるため、コストの低減や、環境汚染の防止や、半導体チップの耐熱温度の低減や、半導体装置の信頼性の向上が実現される。

【0032】また、回路基板の電極部上に導電性接着剤を印刷する際、同一回路基板上に小型回路やMCM (Multi Chip Module) 等の一般電子部品を装着するのに必要な導電性接着剤を同時に一括して印刷することが可能になるため、高密度実装の実現及び高い生産性が容易に実現される。また、現状のSMTラインとのインライン化も可能になる。

【0033】更に、従来の半導体チップ表面のパッド部上に形成したスタッドバンプ上に導電性接着剤を転写する場合と比較しても、転写後に残った導電性接着剤を捨ててしまうような無駄が解消されるため、コストの低減が実現される。

【0034】また、請求項4に係る半導体装置の製造方法は、上記請求項3に係る半導体装置の製造方法において、半導体チップのパッド部上にバンプを形成する際に、半導体チップのパッド部上に、メッキ法を用いてメッキバンプを形成することを特徴とする。

【0035】このように請求項4に係る半導体装置の製造方法においては、半導体チップのパッド部上にメッキ法を用いてメッキバンプを形成することにより、従来の半導体チップのパッド部上にスタッドバンプを形成する場合と比較すると、バンプ形成の際にパッド部に超音波・加重・熱などによるストレスが発生しないことから、半導体チップがエリア配線のベアチップであっても、パッド部直下に形成されているトランジスタ等の素子や配線にダメージを与えてチップ内回路を破壊する恐れがないため、上記請求項3の作用に加え、半導体チップを回路基板上にフリップチップ実装する際の、特に今後の半導体プロセスのファイン化に伴ってその重要性を増していくエリア配線のベアチップをフリップチップ実装する際の信頼性が向上する。

【0036】また、メッキ法により半導体チップの全てのパッド部上に一度にメッキバンプが形成されるため、従来の半導体チップのパッド部上に順次スタッドバンプを形成する場合と比較すると、高い生産性が得られる。このため、現状ではともかく、近い将来においては、インフラ整備の急速な立ち上がりが期待されるメッキ法を用いる方が、スタッドバンプ法よりコスト的にも優位に立つと予想される。

【0037】なお、このときのメッキとしては、Ni (ニッケル) メッキ、Au (金) メッキ、Ni-Au メッキ等が代表的であるが、これらに限定されず、半導体チップのパッド部上に金属バンプを形成することが可能

な電解メッキ又は無電解メッキであればよい。

【0038】また、請求項5に係る半導体装置の製造方法は、上記請求項3に係る半導体装置の製造方法において、半導体チップのパッド部上にバンプを形成する際に、半導体チップの同一のパッド部上に、バンプを複数個に分割して形成することを特徴とする。

【0039】このように請求項5に係る半導体装置の製造方法においては、半導体チップの同一のパッド部上にバンプを複数個に分割して形成することにより、同一パッド部上に複数個に分割されたメッキバンプと回路基板の電極部とが導電性接着剤を介して接続されることになるため、半導体チップと回路基板との線膨張係数の差異によりメッキバンプと回路基板の電極部との接続部に熱ストレスによる応力が生じても、同一パッド部上に1個のメッキバンプしか形成されていない場合と比較すると、熱ストレスの影響が緩和される。即ち、熱ストレスにより接続部に生じる応力が分散され、低減される。従って、上記請求項3の作用に加え、半導体装置の高い信頼性と高い製造歩留りが実現される。

【0040】なお、半導体チップの同一パッド部上のメッキバンプと回路基板の電極部との導電性接着剤を介しての接触面積は、複数個のメッキバンプに分割する場合が、1個の大きなメッキバンプを形成する場合よりも小さくなり、ダイシェアの低下が懸念されるが、半導体チップと回路基板との間に樹脂を注入し、樹脂封止を行うことにより、半導体チップの同一パッド部上の複数個の分割されたメッキバンプと回路基板の電極部との導電性接着剤を介した接続強度は十分な大きさに確保される。

【0041】また、請求項6に係る半導体装置の製造方法は、上記請求項3に係る半導体装置の製造方法において、回路基板の電極部上に導電性接着剤を印刷する際に、導電性接着剤の温度及び湿度をコントロールすることを特徴とする。

【0042】このように請求項6に係る半導体装置の製造方法においては、回路基板の電極部上に印刷する際の導電性接着剤の温度及び湿度をコントロールすることにより、従来の半導体チップのパッド部上に形成したスタッドバンプ上に導電性接着剤を転写する場合と比較すると、品質劣化が顕著な導電接着剤の品質管理のために少量の導電性接着剤を出して転写するなどの大変な手間を要する作業を行わなくとも、使用する導電性接着剤に応じた最適の温度及び湿度が維持され、容易に導電性接着剤の品質管理がなされる。このため、上記請求項3の作用に加え、半導体装置の高い信頼性と高い製造歩留りが実現される。

【0043】また、請求項7に係る半導体装置の製造方法は、上記請求項3に係る半導体装置の製造方法において、回路基板の電極部上に導電性接着剤を印刷する際に、導電性接着剤の電極部との接觸面積を電極部の面積よりも小さくし、導電性接着剤の上面の面積を電極部と

の接触面積よりも小さくすることを特徴とする。

【0044】このように請求項7に係る半導体装置の製造方法においては、回路基板の電極部上に導電性接着剤を印刷する際に、導電性接着剤の電極部との接触面積を電極部の面積よりも小さくし、導電性接着剤の上面の面積を電極部との接触面積よりも小さくすることにより、半導体チップのパッド部上のバンプと回路基板の電極部上の導電性接着剤とを接続する際に、バンプの先端部が導電性接着剤の上面に挿入され、導電性接着剤を横方向に押し広げても、導電性接着剤が電極部からはみ出したり、上面側の導電性接着剤がたれたりすることがなくなり、接続不良の発生が防止される。このため、上記請求項3の作用に加え、半導体装置の高い信頼性と高い製造歩留りが実現される。

#### 【0045】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の実施の形態を説明する。図1(a)は本発明の一実施形態に係る半導体装置、即ち半導体チップが回路基板上にフリップチップ実装されている半導体装置を示す概略断面図であり、図1(b)は図1(a)に示す半導体装置のメッキバンプ部を拡大した部分拡大図であり、図1(c)は図1(b)を下から見た概略平面図である。また、図1(d)は本実施形態の変形例に係る半導体装置のメッキバンプ部を示す概略断面図であって、図1(b)に示すメッキバンプが2個に分割されている場合を示すものであり、図1(e)は図1(d)を下から見た概略平面図である。

【0046】図1(a)に示されるように、本実施形態に係る半導体装置においては、ベアチップ10が回路基板16上にフリップチップ実装されている。具体的には、ベアチップ10表面のA1(アルミニウム)パッド部12上に、高さが40～50μm程度のNiメッキバンプ14が形成されている。また、回路基板16表面の配線電極18上に、Ag(銀)系やAgPa(プロトアクチニウム)系の導電接着剤20が印刷されている。

【0047】そして、ベアチップ10がフェースダウンの状態で回路基板16上に載置されており、ベアチップ10のNiメッキバンプ14の先端部が回路基板16表面の配線電極18上の導電接着剤20上面に挿入され、電気的に接続されている。即ち、ベアチップ10表面のA1パッド部12と回路基板16表面の配線電極18とは、Niメッキバンプ14及び導電接着剤20を介して電気的に接続されている。また、ベアチップ10と回路基板16との間には、封止樹脂28が注入され、硬化されている。

【0048】なお、ここで、図1(b)、(c)に示されるように、1個のA1パッド部12上には、その全面に1個のNiメッキバンプ14が形成されているが、このようなNiメッキバンプ14の代わりに、図1(d)、(e)に示されるように、1個のA1パッド部

12上に複数個、例えば2個に分割されたNiメッキバンプ14a、14bが形成されていてもよい。

【0049】次に、図1に示す半導体装置の製造方法、即ち半導体チップを回路基板上にフリップチップ実装する実装方法を、図2のフロー図の各ステップに従いつつ図3～図11を用いて説明する。

【0050】ここで、図2は図1に示す半導体装置の製造方法、即ち半導体チップを回路基板上にフリップチップ実装する実装方法を説明するためのフロー図である。また、図3、図4(a)、図5、図6、図7(a)、図8、図9(a)、図10(a)はそれぞれ図1に示す半導体装置の製造方法、即ち半導体チップを回路基板上にフリップチップ実装するの実装方法を説明するための工程断面図である。そして、図4(b)は図4(a)に示す半導体装置のメッキバンプ部を拡大した部分拡大図、図4(c)は図4(b)を上から見た概略平面図、図7(b)は図7(a)に示す半導体装置の導電性接着剤を拡大した部分拡大図、図9(b)は図9(a)に示す半導体装置のメッキバンプと導電性接着剤との接觸部を拡大した部分拡大図、図10(b)は図10(a)に示す半導体装置の樹脂封止の状態を示す概略平面図である。また、図11は1個のA1パッド部上に2個に分割されたNiメッキバンプを形成する場合と1個のA1パッド部上に1個のNiメッキバンプを形成する場合とにおける接続部に生じる応力を比較して説明するための概略断面図である。また、図4(d)は本実施形態の変形例に係る半導体装置の実装方法を説明するための図であつて、図4(b)に示すメッキバンプ部を2個に分割して形成する場合を示す概略断面図、図4(e)は図4(d)を上から見た概略平面図である。また、図10(c)は本実施形態の変形例に係る半導体装置の実装方法を説明するための図であつて、図10(b)に示す場合とは異なる半導体装置の樹脂封止の状態を示す概略平面図である。

【0051】(1)ステップS1：先ず、図3に示されるように、ベアチップ10表面にA1パッド部12を形成する。続いて、図4(a)、(b)、(c)に示されるように、このベアチップ10表面のA1パッド部12上に、Niメッキバンプ14を形成する。具体的には、先ずベアチップ10表面にA1パッド部12の清浄面を出した後、例えば無電解メッキ法を用いて、Zn(亜鉛)置換し、Niメッキを行う。こうして、A1パッド部12上に、ZnとNiが置換されることにより、Niメッキが進行して、Niメッキバンプ14が形成されていく。

【0052】このときのNiメッキバンプ14の高さは通常40～50μm程度にする。また、その形状に関しては、所定のレジストパターンを設けることにより、図4(b)、(c)に示されるように、1個のA1パッド部12上の全面に1個のNiメッキバンプ14を形成す

る。

【0053】なお、ここで、図4（b）、（c）に示されるN iメッキバンプ14の代わりに、上記所定のレジストパターンとは異なるレジストパターンを設けることにより、図4（d）、（e）に示されるように、1個のA 1パッド部12上に複数個に分割された、例えば2個に分割されたN iメッキバンプ14a、14bを形成してもよい。

【0054】（2）ステップS2：次いで、図5に示されるように、回路基板16表面に、配線電極18を形成する。続いて、この回路基板16表面の配線電極18上に、導電接着剤20を印刷する。具体的には、図6に示されるように、例えばスキージ法により、配線電極18に対応する位置に開口部が設けられたスクリーンマスク22を介して、スクリーンマスク22上に乗せた例えばペースト状のA g系やA gP a系の導電接着剤20aをスキージ24を用いて開口部内に押し出し、配線電極18上に、導電接着剤20を印刷する。こうして、図7（a）に示されるように、回路基板16表面の配線電極18上に、導電接着剤20を形成する。

【0055】このとき、図7（b）に示されるように、導電性接着剤20の配線電極18との接触面積が配線電極18の面積よりも小さくなるようにする。また、導電性接着剤20が角錐台の形状をなし、その上面の面積が配線電極18との接触面積よりも小さくなるようにする。但し、導電性接着剤20の形状は角錐台に限らず、例えばカマボコ型や円錐台であってもよい。こうして、導電性接着剤20が配線電極18上面からはみ出すことなく、且つその上方の水平断面の面積が底面の面積よりも小さくなるようにする。

【0056】また、例えば導電接着剤20の印刷を行う処理室内に空気調整器を設置したり、印刷設備に温度及び湿度の調整機構を付設したりして、印刷の際の導電性接着剤20、20aの温度及び湿度をコントロールする。具体的には、使用する導電性接着剤20、20aの種類によって条件は変化するが、例えば低沸点系の場合には、導電性接着剤20、20aの温度を低くし、導電性接着剤20、20aに水分が入らない範囲において湿度を低くする。こうして、導電性接着剤20、20aの品質劣化を最小限に抑制して、その品質を維持するように管理する。更に、このとき、導電接着剤20の印刷を行う処理室をクリーンルームにするなどして、印刷の際の導電性接着剤20、20aを浮遊微小粒子などによる汚染から保護することが望ましい。

【0057】そして、このようなA g系やA gP a系の導電接着剤20を印刷する際には、その導電接着剤20の粒子は通常ハンダの粒子よりも小さいため、ファインピッチ印刷が可能である。本発明者の試作においては、20~40μmのピッチのファイン印刷が可能であることが確認された。

【0058】（3）ステップS3：次いで、配線電極18上に導電接着剤20を印刷した回路基板16の画像検査を行う。こうして、回路基板16表面の配線電極18上に導電接着剤20が適正に印刷されているか否かの印刷テストを行い、導電接着剤20の印刷が適正な場合には、次の工程に進むが、適正でない不良品の場合には、導電接着剤20を拭き取り、図2における図示は省略しているが、再度ステップS2に戻って、印刷をやり直す。

【0059】（4）ステップS4：次いで、回路基板16表面の配線電極18上に導電接着剤20を介して一般電子部品（図示せず）を装着し、続いて異形電子部品（図示せず）を装着した後、ペアチップ10を装着する。

【0060】即ち、図8に示されるように、装着機ノズル26を用いて、ペアチップ10をフェースダウンの状態で回路基板16上方に搬送し、更にペアチップ10を下降させる。そして、図9（a）に示されるように、ペアチップ10表面のA 1パッド部12上のN iメッキバンプ14を回路基板16表面の配線電極18上の導電接着剤20に接触させ、更にこのN iメッキバンプ14を導電接着剤20上面に挿入する。こうして、回路基板16表面の配線電極18上に導電接着剤20を介してペアチップ10をフリップチップ装着する。

【0061】このとき、ペアチップ10のフリップチップ装着前の導電接着剤20は、上記図7（b）に示されるように、配線電極18上面からはみ出すことなく、且つその上方の水平断面の面積が底面の面積よりも小さくなっているため、このような導電接着剤20上面にN iメッキバンプ14が挿入されると、図8（b）に示されるように、導電接着剤20上面が横方向に押し広げられるものの、導電接着剤20が配線電極18上面からはみ出したり、導電接着剤20上面側がたれたりすることはない。従って、隣接する配線電極18がファインピッチで形成されていても、これらの配線電極18上の導電接着剤20同士が接触するなどの接続不良が発生することはない。

【0062】また、ペアチップ10の装着の際には、ペアチップ10表面のA 1パッド部12上のN iメッキバンプ14をペースト状の導電接着剤20上面に挿入するだけであるため、A 1パッド部12には殆ど加重が掛かるだけになり、A 1パッド部12に与えるダメージは極めて小さくなる。従って、ペアチップ10がエリア配線の場合であっても、A 1パッド部12直下に形成されているトランジスタ等の素子や配線にダメージを与えてチップ内回路を破壊する恐れがない。

【0063】（5）ステップS5：次いで、回路基板16表面の配線電極18上に一般電子部品や異形電子部品などのSMT部品（図示せず）及びペアチップ10を装着している導電接着剤20を硬化させる。こうして、一

般電子部品や異形電子部品などのSMT部品（図示せず）及びペアチップ10の一括リフローが可能になる。

【0064】また、このときの導電接着剤20の硬化条件は、例えばキュア温度150°C、キュア時間30分であり、従来のPb/Sn系のハンダを用いる場合のキュア温度210°C、Pbレスハンダを用いる場合のキュア温度250°Cと比較すると、かなりの低温になっている。

【0065】(6)ステップS6：次いで、回路基板16表面の配線電極18上に導電接着剤20を介して一般電子部品や異形電子部品などのSMT部品（図示せず）及びペアチップ10を接続した半導体装置の電気検査を行う。

【0066】(7)ステップS7：上記ステップS6における電気検査の結果が良好な場合には、次の工程に進むが、検査の結果が良好でない不良品の場合には、再加熱及び／又は部分洗浄により、回路基板16表面の配線電極18上の導電接着剤20からペアチップ10のNiメッキバンプ14を引き離し、再びステップS4に戻って、ペアチップ10の装着をやり直す。なお、このとき、場合によっては一般電子部品や異形電子部品などのSMT部品の装着をやり直すこともあり、またステップS2に戻って、回路基板16表面の配線電極18上への導電接着剤20の印刷からやり直すこともある。

【0067】(8)ステップS8：上記ステップS6における電気検査の結果が良好な場合には、図10(a)に示されるように、ペアチップ10と回路基板16との間に封止樹脂28を注入した後、この封止樹脂28を硬化させる。このとき、図10(b)に示されるように、理想的には封止樹脂28がペアチップ10と回路基板16との間にまんべんなく注入されることが望ましい。

【0068】但し、半導体装置に要求される信頼性の程度によっては、必ずしも封止樹脂28がペアチップ10と回路基板16との間にまんべんなく注入されなければならないわけではなく、例えば図10(c)に示されるように、ペアチップ10と回路基板16との間に封止樹脂28を格子状に塗布するなど、半導体装置に要求される信頼性を満足させる範囲内において封止樹脂の塗布のパターンを選択し、タクトを早めることもケースバイケースで可能である。

【0069】なお、ここで注意しなくてはならないのは、ペアチップ10と回路基板16との間に封止樹脂28をまんべんなく注入しても、その注入の段階やその後の加熱の段階においてボイドが多く発生するようであれば半導体装置の信頼性は却って低下してしまうことである。このため、この工程においては、ボイドが封止樹脂28中に硬化した状態で閉じ込められるよりは、ボイドの逃げ道を設けたほうが得策といえる。

【0070】以上のように本実施形態によれば、ペアチップ10表面のA1パッド部12上に例えば無電解メッ

キ法を用いてNiメッキバンプ14を形成していることにより、従来のチップのパッド部上にスタッダードバンプを形成する場合と比較すると、Niメッキバンプ14の形成の際にA1パッド部12に超音波・加重・熱などによるストレスが発生しないことから、ペアチップ10がエリア配線であっても、A1パッド部12直下に形成されているトランジスタ等の素子や配線にダメージを与えてチップ内回路を破壊する恐れがないため、ペアチップ10を回路基板16上にフリップチップ実装する際の、特に今後の半導体プロセスのファイン化に伴ってその重要性を増してくるエリア配線のペアチップ10をフリップチップ実装する際の信頼性を向上させて、高い信頼性の半導体装置を実現することができる。

【0071】また、ペアチップ10表面の全てのA1パッド部12上に一度にNiメッキバンプ14が形成されるため、従来のチップのパッド部上に順次スタッダードバンプを形成する場合と比較すると、高い生産性を得ることができる。このため、現状ではともかく、近い将来においては、インフラ整備の急速な立ち上がりが期待されるメッキ法を用いる方が、スタッダードバンプ法よりコスト的に優位に立つと予想される。

【0072】また、回路基板16表面の配線電極18上に例えばスキージ法を用いてAg系やAgPa系の導電接着剤20を印刷し、この導電性接着剤20とペアチップ10表面のA1パッド部12上のNiメッキバンプ14とを接続していることにより、従来のチップのパッド部上に形成したハンダバンプを用いて回路基板の電極部と接続する場合と比較すると、Ag系やAgPa系の導電接着剤20の粒子は通常ハンダの粒子よりも小さいため、ファインピッチ印刷が可能になる。本発明者の試作においては、20μmピッチまでのファイン印刷が可能であることが確認された。従って、ハンダバンプを形成する際のバンプピッチの制約から解放されてA1パッド部12の微細化を可能とする半導体プロセスのファイン化が促進されるため、回路基板16上にフリップチップ実装するペアチップ10の集積回路を更に高密度、高集積化して、高密度、高集積の半導体装置を実現することができる。

【0073】また、ペアチップ10の装着の際には、ペアチップ10表面のA1パッド部12上のNiメッキバンプ14をペースト状の導電接着剤20上面に挿入するだけであり、A1パッド部12には殆ど加重が掛からないため、A1パッド部12に与えるダメージは極めて小さく、ペアチップ10がエリア配線であっても、ペアチップ10直下に形成されているトランジスタ等の素子や配線にダメージを与えてチップ内回路を破壊する恐れがないため、特に今後の半導体プロセスのファイン化に伴ってその重要性を増してくるエリア配線のペアチップ10をフリップチップ実装する際の信頼性を向上させて、高い信頼性の半導体装置を実現することができる。

【0074】また、ハンダバンプを用いる場合の諸問題、例えば洗浄工程を必要とすることに伴うコストの上昇や、Pb使用による環境汚染の発生や、Pbレスハンダの使用の際のキュア温度の高温化やキュア時間の長時間化によるペアチップへの熱によるダメージの増大や、ファインプロセスへの対応困難などの問題を解消することが可能になるため、コストの低減や、環境汚染の防止や、ペアチップ10の耐熱温度の低減や、ペアチップ10が回路基板16上にフリップチップ実装された半導体装置の信頼性の向上を実現することができる。

【0075】また、回路基板16表面の配線電極18上に導電接着剤20を印刷する際に、ペアチップ10のみならず、一般電子部品や異形電子部品などのSMT部品などを装着するのに必要な導電性接着剤20を同時に一括して印刷することが可能になるため、高い生産性を容易に実現することができる。また、現状のSMTラインとのインライン化も可能になる。

【0076】また、従来のチップ表面のパッド部上に形成したスタッズバンプ上に導電性接着剤を転写する場合と比較しても、転写後に残った導電性接着剤を捨ててしまうような無駄が解消されるため、コストの低減を実現することができる。

【0077】また、導電接着剤20の印刷の際に、この導電性接着剤20の温度及び湿度をコントロールすることにより、従来のチップのパッド部上に形成したスタッズバンプ上に導電性接着剤を転写する場合と比較すると、品質劣化が顕著な導電接着剤の品質管理のために少量の導電性接着剤を出して転写するなどの大変な手間を要する作業を行わなくとも、導電性接着剤20の品質劣化を最小限に抑制して、その品質を維持するように管理することができるため、高い信頼性と高い生産性及び製造歩留りを実現することができる。

【0078】また、導電接着剤20の印刷の際に、図7(b)に示されるように、この導電性接着剤20の形状を例えば角錐台にして、導電性接着剤20が配線電極18上面からはみ出ことなく、且つその上方の水平断面の面積が底面の面積よりも小さくなるようにすることにより、導電接着剤20上面にペアチップ10のNiメッキバンプ14を挿入する際に、図8(b)に示されるように、導電接着剤20が配線電極18上面からはみ出したり、導電接着剤20上面側がたれたりすることなくすることが可能になるため、隣接する配線電極18がファインピッチで形成されていても、これらの配線電極18上の導電接着剤20同士の接触による接続不良の発生を防止することができる。従って、高い信頼性と高い製造歩留りを実現することができる。

【0079】なお、上記実施形態においては、図1(b)、(c)及び図4(b)、(c)に示されるように、1個のA1パッド部12上の全面に1個のNiメッキバンプ14を形成しているが、このようなNiメッキ

バンプ14の代わりに、図1(d)、(e)及び図4(d)、(e)に示されるように、1個のA1パッド部12上に複数個、例えば2個に分割されたNiメッキバンプ14a、14bを形成してもよいことについては前述の通りである。そして、図11(a)、(b)に比較して示されるように、1個のA1パッド部12上に2個に分割されたNiメッキバンプ14a、14bを形成する場合には、ペアチップ10と回路基板16との線膨張係数の差異によりその接続部に熱ストレスによる応力が生じても、1個のA1パッド部12上の全面に1個のNiメッキバンプ14を形成する場合と比較すると、熱ストレスの影響を緩和し、熱ストレスにより接続部に生じる応力が低減される。

【0080】即ち、図11(b)に示されるように、1個のA1パッド部12上の1個のNiメッキバンプ14と回路基板16表面の配線電極18とが接続している場合には、熱ストレスによる応力が接続部に集中するのに対し、図11(a)に示されるように、同一のA1パッド部12上の2個のNiメッキバンプ14a、14bと回路基板16表面の配線電極18とが接続している場合には、熱ストレスの影響が緩和され、熱ストレスにより接続部に生じる応力が分散される。このため、接続部に生じる応力全体としては低減され、高い信頼性と高い製造歩留りを実現することができる。なお、図11(a)、(b)においては、説明を単純化するために、Niメッキバンプ14又はNiメッキバンプ14a、14bと回路基板16表面の配線電極18との間に介在する導電性接着剤20の図示を省略しているが、この導電性接着剤20が介在している場合であっても本質的な事情は上記の場合と変わらない。

【0081】但し、この場合、同一のA1パッド部12上の2個のNiメッキバンプ14a、14bと回路基板16表面の配線電極18との導電性接着剤20を介しての接触面積は、1個のA1パッド部12上の全面に1個のNiメッキバンプ14を形成している場合の接触面積よりも小さくなり、ダイシェアが低下することも考えられる。本発明者の試作においては、2個のNiメッキバンプ14a、14bの1バンプ当たり約20~30gのダイシェアしか得られなかった。

【0082】しかし、封止樹脂28による樹脂封止を行うことによりNiメッキバンプ14a、14bと配線電極18との導電性接着剤20を介した接続強度は十分な大きさに確保されるため、1個のA1パッド部12上に2個に分割されたNiメッキバンプ14a、14bを形成している場合の方が、総合的な信頼性評価は高くなつた。

【0083】

【発明の効果】以上、詳細に説明した通り、本発明に係る半導体装置及びその製造方法によれば、次のような効果を奏することができる。即ち、請求項1に係る半導体

装置によれば、半導体チップのパッド部上に形成されたバンプがメッキバンプであることにより、従来の半導体チップのパッド部上にスタッダードバンプが形成されている場合と比較すると、そのバンプ形成の際にパッド部に超音波・加重・熱などによるストレスが発生していないことから、半導体チップがエリア配線のペアチップであっても、パッド部直下に形成されているトランジスタ等の素子や配線がダメージを受けてチップ内回路が破壊される恐れがないため、高い信頼性の半導体装置を実現することができる。

【0084】また、半導体チップのパッド部上のメッキバンプと回路基板の電極部とを接続する媒体として、回路基板の電極部上に印刷された導電性接着剤が用いられていることにより、従来のハンダバンプを用いて半導体チップのパッド部と回路基板の電極部とを接続している場合と比較すると、ハンダバンプを形成する際のバンプピッチの制約から解放されてパッド部の微細ピッチ化が進展するため、高密度、高集積化された半導体チップが回路基板上にフリップチップ実装されている半導体装置、即ち高密度、高集積化の半導体装置を実現することができる。

【0085】また、請求項2に係る半導体装置によれば、メッキバンプが半導体チップの同一パッド部上に複数個の分割されて形成されていることにより、半導体チップと回路基板との線膨張係数の差異によりメッキバンプと回路基板の電極部との接続部に熱ストレスによる応力が生じても、同一パッド部上に1個のメッキバンプしか形成されていない場合と比較すると、熱ストレスの影響が緩和され、熱ストレスにより接続部に生じる応力が分散され、低減されるため、上記請求項1の効果に加え、高い信頼性の半導体装置を実現することができる。

【0086】また、請求項3に係る半導体装置の製造方法によれば、回路基板の電極部上に導電性接着剤を印刷し、この導電性接着剤と半導体チップのパッド部上に形成したバンプとを接続することにより、従来の半導体チップのパッド部上に形成したハンダバンプを用いて回路基板の電極部と接続する場合と比較すると、一般に導電性接着剤はハンダよりも粒子が小さいことからファインピッチ印刷が可能となって、ハンダバンプを形成する際のバンプピッチの制約から解放されてパッド部の微細ピッチ化を可能とする半導体プロセスのファインプロセス化が促進されるために、高密度、高集積化された半導体チップを回路基板上にフリップチップ実装することができる、半導体装置の高密度、高集積化を実現することができる。

【0087】また、半導体チップのパッド部上のバンプと回路基板の電極部上の導電性接着剤とを接続する際、バンプには殆ど加重が掛からないことからパッド部に与えるダメージは極めて小さく、半導体チップがエリア配線のペアチップであっても、パッド部直下に形成されて

いるトランジスタ等の素子や配線にダメージを与えてチップ内回路を破壊する恐れがないため、半導体チップを回路基板上にフリップチップ実装する際の、特に今後の半導体プロセスのファイン化に伴ってその重要性を増してくるエリア配線のペアチップをフリップチップ実装する際の信頼性を向上させることができる。

【0088】また、ハンダバンプを用いる場合の諸問題、例えば洗浄工程を必要とすることに伴うコストの上昇や、Pb使用による環境汚染の発生、Pbレスハンダの使用の際のキュア温度の高温化やキュア時間の長時間化による半導体チップへの熱によるダメージの増大や、ファインプロセスへの対応困難などの問題を解消することが可能になるため、コストの低減や、環境汚染の防止や、半導体チップの耐熱温度の低減や、半導体装置の信頼性の向上を実現することができる。

【0089】また、回路基板の電極部上に導電性接着剤を印刷する際に、同一回路基板上に一般電子部品を装着するのに必要な導電性接着剤を同時に一括して印刷することが可能になるため、高密度実装の実現及び高い生産性が容易に実現することができる。また、現状のSMTラインとのインライン化も可能になる。

【0090】また、請求項4に係る半導体装置の製造方法によれば、半導体チップのパッド部上にメッキ法を用いてメッキバンプを形成することにより、従来の半導体チップのパッド部上にスタッダードバンプを形成する場合と比較すると、バンプ形成の際にパッド部に超音波・加重・熱などによるストレスが発生しないことから、半導体チップがエリア配線のペアチップであっても、パッド部直下に形成されているトランジスタ等の素子や配線にダメージを与えてチップ内回路を破壊する恐れがないため、上記請求項3の効果に加え、半導体チップを回路基板上にフリップチップ実装する際の、特に今後の半導体プロセスのファイン化に伴ってその重要性を増してくるエリア配線のペアチップをフリップチップ実装する際の信頼性を向上させることができる。

【0091】また、メッキ法により半導体チップの全てのパッド部上に一度にメッキバンプを形成することが可能になるため、従来の半導体チップのパッド部上に順次スタッダードバンプを形成する場合と比較すると、高い生産性を得ることができる。このため、現状ではともかく、近い将来においては、インフラ整備の急速な立ち上がりが期待されるメッキ法を用いる方が、スタッダードバンプ法よりもコスト的にも優位に立つと予想される。

【0092】また、請求項5に係る半導体装置の製造方法によれば、半導体チップの同一のパッド部上にバンプを複数個に分割して形成することにより、半導体チップと回路基板との線膨張係数の差異によりメッキバンプと回路基板の電極部との接続部に熱ストレスによる応力が生じても、同一パッド部上に1個のメッキバンプしか形成されていない場合と比較すると、熱ストレスの影響が

緩和され、熱ストレスにより接続部に生じる応力が分散され、低減されるため、上記請求項3の効果に加え、半導体装置の高い信頼性と高い製造歩留りを実現することができる。

【0093】また、請求項6に係る半導体装置の製造方法によれば、回路基板の電極部上に印刷する際の導電性接着剤の温度及び湿度をコントロールすることにより、従来の半導体チップのパッド部上に形成したスタッダーバンプ上に導電性接着剤を転写する場合と比較すると、品質劣化が顕著な導電性接着剤の品質管理のために少量の導電性接着剤を出して転写するなどの大変な手間を要する作業を行わなくとも、使用する導電性接着剤に応じた最適の温度及び湿度が維持され、容易に導電性接着剤の品質管理がなされるため、上記請求項3の効果に加え、半導体装置の高い信頼性と高い製造歩留りを実現することができる。

【0094】また、請求項7に係る半導体装置の製造方法によれば、回路基板の電極部上に導電性接着剤を印刷する際に、導電性接着剤の電極部との接触面積を電極部の面積よりも小さくし、導電性接着剤の上面の面積を電極部との接触面積よりも小さくすることにより、半導体チップのパッド部上のバンプと回路基板の電極部上の導電性接着剤とを接続する際に、バンプの先端部が導電性接着剤の上面に挿入され、導電性接着剤を横方向に押し広げても、導電性接着剤が電極部からはみ出したり、上面側の導電性接着剤がたれたりすることがなくなり、接続不良の発生が防止されるため、上記請求項3の効果に加え、半導体装置の高い信頼性と高い製造歩留りを実現することができる。

#### 【図面の簡単な説明】

【図1】(a)は本発明の一実施形態に係る半導体装置、即ち半導体チップが回路基板上にフリップチップ実装された半導体装置を示す概略断面図であり、(b)は(a)に示す半導体装置のメッキバンプ部を拡大した部分拡大図であり、(c)は(b)を下から見た概略平面図である。(d)は本実施形態の変形例に係る半導体装置のメッキバンプ部を示す概略断面図であって、(b)に示すメッキバンプが2個に分割されている場合を示すものであり、(e)は(d)を下から見た概略平面図である。

【図2】図1に示す半導体装置の製造方法、即ち半導体チップを回路基板上にフリップチップ実装する実装方法を説明するためのフロー図である。

【図3】図1に示す半導体装置の製造方法、即ち半導体チップを回路基板上にフリップチップ実装する実装方法を説明するための工程断面図(その1)である。

【図4】(a)は図1に示す半導体装置の製造方法、即ち半導体チップを回路基板上にフリップチップ実装する実装方法を説明するための工程断面図(その2)であり、(b)は(a)に示す半導体装置のメッキバンプ部

を拡大した部分拡大図であり、(c)は(b)を上から見た概略平面図である。(d)は本実施形態の変形例に係る半導体装置の実装方法を説明するための図であって、(b)に示すメッキバンプ部を2個に分割して形成する場合を示す概略断面図であり、(e)は(d)を上から見た概略平面図である。

【図5】図1に示す半導体装置の製造方法、即ち半導体チップを回路基板上にフリップチップ実装する実装方法を説明するための工程断面図(その3)である。

【図6】図1に示す半導体装置の製造方法、即ち半導体チップを回路基板上にフリップチップ実装する実装方法を説明するための工程断面図(その4)である。

【図7】(a)は図1に示す半導体装置の製造方法、即ち半導体チップを回路基板上にフリップチップ実装する実装方法を説明するための工程断面図(その5)であり、(b)は(a)に示す半導体装置の導電性接着剤を拡大した部分拡大図である。

【図8】図1に示す半導体装置の製造方法、即ち半導体チップを回路基板上にフリップチップ実装する実装方法を説明するための工程断面図(その6)である。

【図9】(a)は図1に示す半導体装置の製造方法、即ち半導体チップを回路基板上にフリップチップ実装する実装方法を説明するための工程断面図(その7)であり、(b)は(a)に示す半導体装置のメッキバンプと導電性接着剤との接觸部を拡大した部分拡大図である。

【図10】(a)は図1に示す半導体装置の製造方法、即ち半導体チップを回路基板上にフリップチップ実装する実装方法を説明するための工程断面図(その8)であり、(b)は(a)に示す半導体装置の樹脂封止の状態を示す概略平面図であり、(c)は本実施形態の変形例に係る半導体装置の実装方法を説明するための図であって、(b)に示す場合とは異なる半導体装置の樹脂封止の状態を示す概略平面図である。

【図11】1個のA1パッド部上に2個に分割されたNiメッキバンプを形成する場合と1個のA1パッド部上に1個のNiメッキバンプを形成する場合における接続部に生じる応力を比較して説明するための概略断面図である。

【図12】従来のペアチップのフリップチップ実装において、先に一般電子部品や異形電子部品などのSMT部品の実装を行う場合におけるマスキングテープの使用について説明するための概略平面図である。

【図13】従来のペアチップのフリップチップ実装において、後に一般電子部品や異形電子部品などのSMT部品の実装を行う場合における突起COBスクリーンマスクの使用について説明するための概略断面図である。

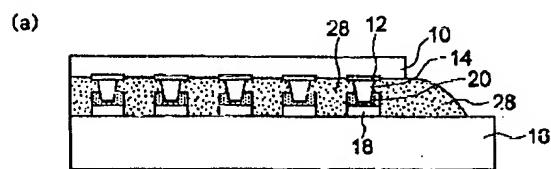
#### 【符号の説明】

10……ペアチップ、12……A1パッド部、14、14a、14b……Niメッキバンプ、16……回路基板、18……配線電極、20、20a……導電接着剤、

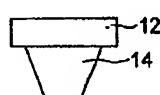
22……スクリーンマスク、24……スキージ、26…  
…装着機ノズル、28……封止樹脂、30……回路基板  
30、32……ベアチップの実装予定領域、34……マ

スキングテープ、36……ベアチップ、38……突起C  
OBスクリーンマスク、40……開口部、42……デッ  
ドスペース領域。

【図1】



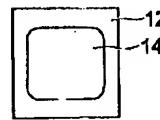
(b)



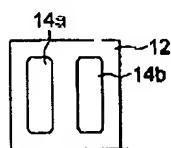
(d)



(c)



(e)

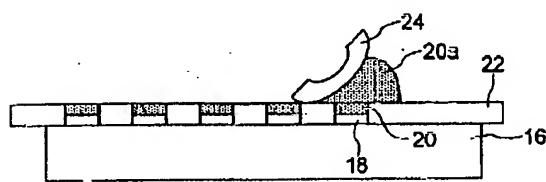


10……ベアチップ  
12……Al/パッド部  
14,14a,14b……Niメッキバンプ  
16……回路基板  
18……配線電極  
20……導電接着剤  
28……封止樹脂

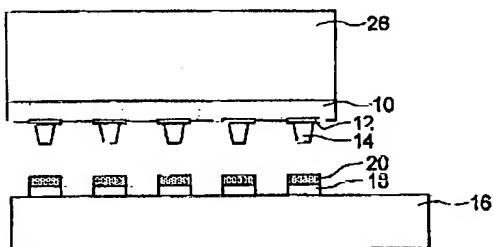
【図3】



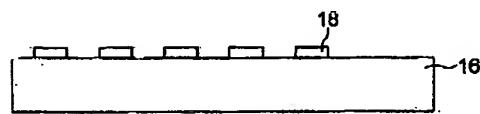
【図6】



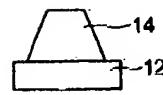
【図8】



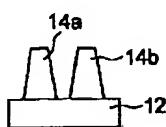
【図4】



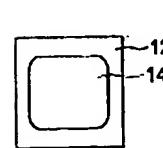
(b)



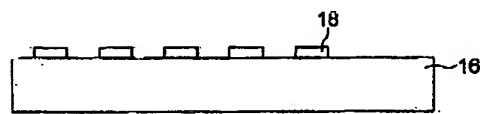
(d)



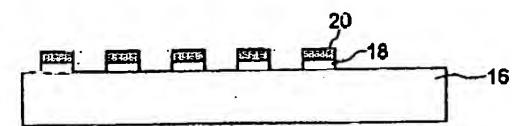
(c)



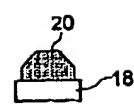
【図5】



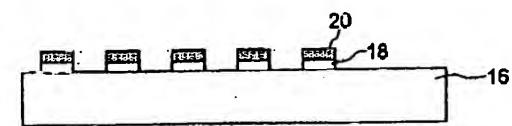
(a)



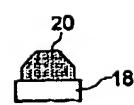
(b)



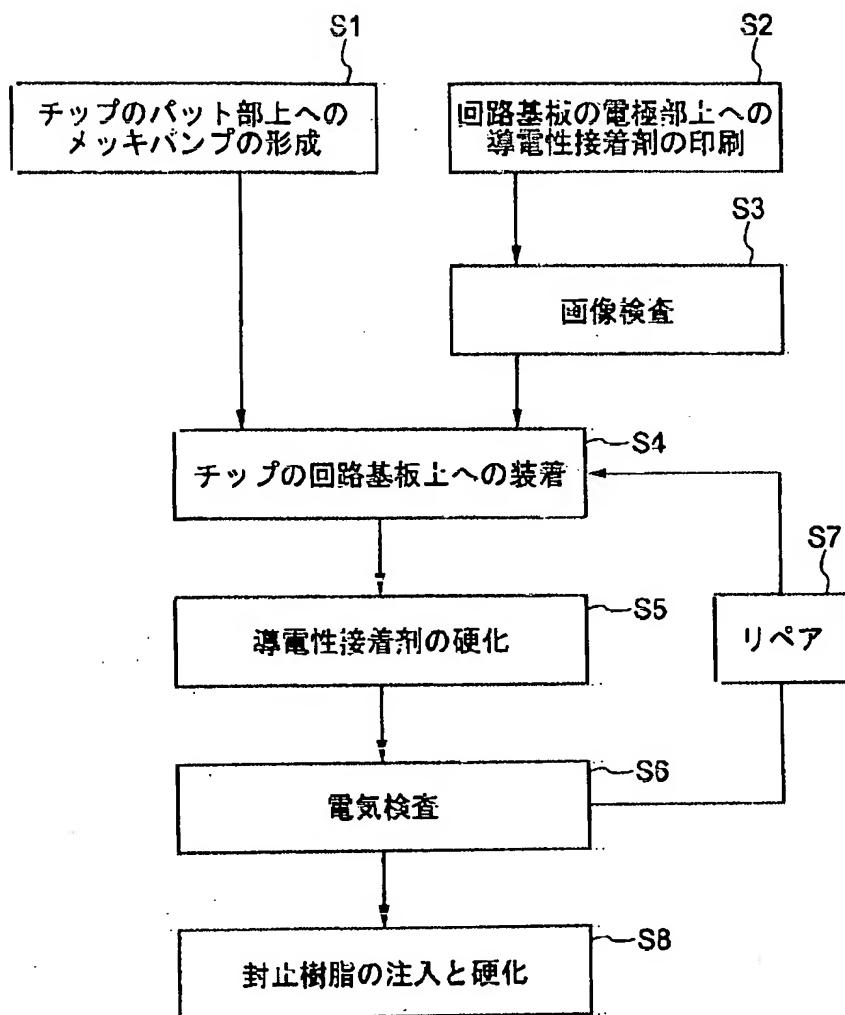
【図7】



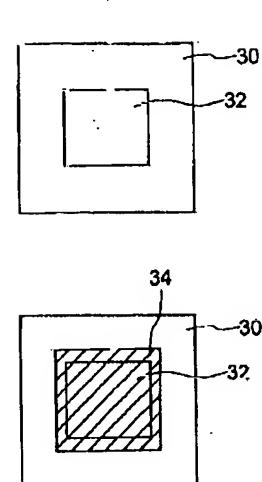
(b)



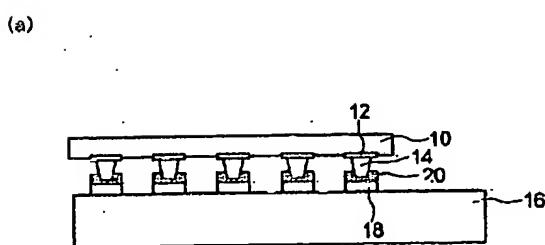
【図2】



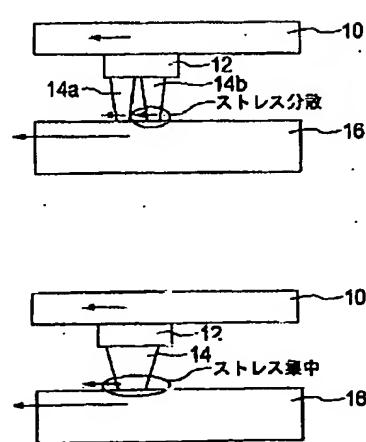
【図12】



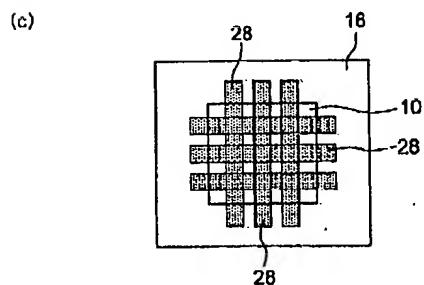
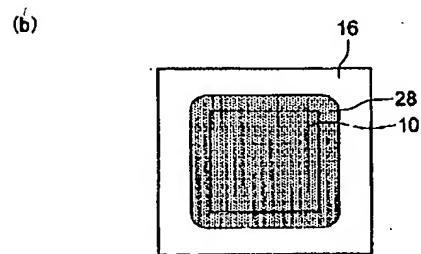
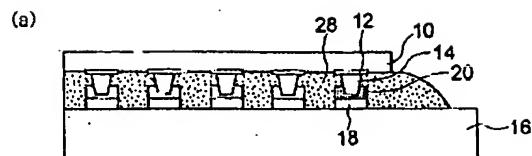
【図9】



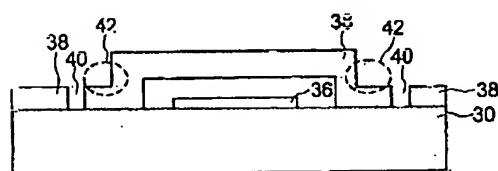
【図11】



【図10】



【図13】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**